

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-169064

(43)Date of publication of application : 13.07.1988

(51)Int.Cl.

H01L 29/48

H01L 29/80

H01L 29/91

(21)Application number : 62-000351

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.01.1987

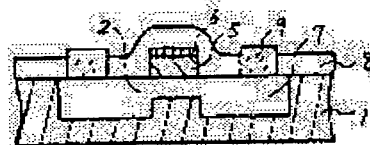
(72)Inventor : TAKATANI SHINICHIRO
UCHIDA YOKO
NAKAJIMA HISAO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a low gate resistance, by disposing a first layer of rare earth element hexa-boride in touch with a compound semiconductor and thereon forming a metallic layer whose resistivity is lower than that of the first layer so as to provide an electrode.

CONSTITUTION: A low resistivity metallic layer 6 is formed on a lanthanum hexa-boride (LaB6) layer 5 in touch with a compound semiconductor substrate 1. Namely, the upper low resistive metallic layer 6 functions to lower the whole resistance of multilayer films, and the lower LaB6 layer 5 forms Schottky junction with the compound semiconductor substrate 1. A material, whose diffusion into the lower LaB6 layer 5 is negligible during heat treatment to activate implanting ions, is selected for the upper low resistivity metallic layer 6. Hence, a gate electrode is possessed of a high Schottky barrier and not deteriorated by heat treatment and becomes low in resistance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-169064

⑬ Int.Cl.⁴

H 01 L 29/48
29/80
29/91

識別記号

庁内整理番号

D-7638-5F
M-8122-5F

⑭ 公開 昭和63年(1988)7月13日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-351

⑰ 出 願 昭62(1987)1月7日

⑱ 発 明 者 高 谷 信 一 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 内 田 陽 子 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 中 島 尚 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 化合物半導体装置において、化合物半導体に接して、希土類元素の六硼化物からなる第1層を設け、該第1層より電気抵抗率の低い金属層を該第1層上に設けた電極を有することを特徴とする半導体装置。

2. 特許請求の範囲第1項において希土類元素がランタン(La)であることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、化合物半導体トランジスタに係り、特に大規模集積化に好適な、ゲート電極構造を有する半導体装置に関する。

〔従来の技術〕

ヒ化ガリウム(GaAs)等の化合物半導体を基板として用いたショットキー障壁ゲート型電界

効果トランジスタ(MESFET)による集積回路或いは高周波素子の製造方法の一つとして、ゲート電極をマスクにしてイオン打込みし、ソース及びドレインの低抵抗領域を形成する自己整合法が広く用いられている。この方法によれば、MESFETのソース寄生抵抗を容易に低減することができ、高速の論理集積回路や高周波素子を再現性良く製造することができる。ただしこの製造方法では、打ち込んだイオンを活性化するために、700℃～900℃程度の熱処理を必要とし、その際にゲート電極と化合物半導体基板の界面が劣化しないことが必要である。これまでに、この要求を満足する高耐熱性のゲート電極材料として六硼化ランタン(LaB₆)に代表される希土類元素の六硼化物が提案されている(特願昭59-212730)。LaB₆は化学的に安定であるのみならず、GaAsと熱膨張係数が殆ど等しい、電子ビームによつて簡単に蒸着できるなどの優れた性質を持つ。さらにLaB₆とGaAsのショットキー障壁高さは0.9Vと他の高耐熱性ゲート材料、例え

ばタングステンシリサイド(WSi_2)、タングステンアルミニウム(WAl)より0.1V以上高く、論理回路の高集積化に特に適している。

〔発明が解決しようとする問題点〕

ところが本発明者らは、電子ビームまたはスパッタ蒸着した LaB_6 は、結晶性が悪く、その為基板を加熱せずに蒸着した場合、第2図に示すようにその後750°Cのアニールを施しても電気抵抗率は約1000 $\mu\Omega\text{cm}$ と高いことを見出した。この値は、 WSi_2 に比べ約7倍、 WAl に比べると1ケタ以上高い。従つて LaB_6 をゲート電極材料として使用すると、ゲート抵抗が高くなり、素子の高速性を著しく劣化させる問題点がある。本発明の目的は上記の問題点を克服する新しい電極構造を有する半導体装置を提供することにある。

〔問題点を解決するための手段〕

前記の目的は化合物半導体基板に接する LaB_6 上に重ねて低抵抗金属層を形成し、多層とすることにより達成される。

〔作用〕

スト4を形成する。ただしゲート長は1 μm とした。次いで第1図(c)に示したようにゲート電極材料である六硼化ランタン(LaB_6)5と低抵抗金属層としてタングステン(W)6を順次堆積する。ただし LaB_6 と W の膜厚はそれぞれ250nm、50nmとした。次いでホトレジスト4と該ホトレジスト上のゲート電極材料5及び6を除去し、さらにリフトオフ用スペーサ層3を除去した後、第1図(d)に示したように、ゲート電極5、6をマスクにして加速電圧100kV、濃度 $2 \times 10^{13}\text{cm}^{-2}$ でSiイオンを打込み n^+ 層4を形成する。次いで第1図(e)のようにアニール用のキャップ膜として膜厚約200nmの SiO_2 膜8を被着し、750°C、20分の活性化を行つた後第1図(f)のようにオーミック電極9を形成する。

以上の工程で製造したGaAsMESFETの静特性は、ゲート電極を LaB_6 1層のみで形成した場合と変わらない。さらにゲート電極のシート抵抗は LaB_6 1層の場合約40 Ω/\square であるのに対し、本実施例のように上層に W を設け2層

上部の低抵抗金属層は全体の多層膜の抵抗を下げる。また下層の LaB_6 は化合物半導体基板とショットキー接合を形成する。また上部の低抵抗金属層としては、打込みイオンの活性化の為に熱処理の際の下部の LaB_6 層中への拡散がじゅうぶん無視し得る材料を選ぶ。これによつて、ゲート電極は、高いショットキー障壁を有し、熱処理による劣化もなく、かつ低抵抗となる。また、ゲート電極をマスクにして、 n^+ 層をイオン打込みする製造方法によるMESFETに適用した場合のほか、他の製造方法によるMESFETに適用した場合でも、障壁が高く、熱処理による劣化もなくかつ低抵抗となることは同様である。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図(a)のように半絶縁性GaAs基板1にシリコン(Si)イオンを注入し能動層2を形成した後第1図(b)に示すようにリフトオフ用スペーサ層として膜厚約400nmの SiO_2 膜3、及びゲート電極部に相当する開口部を有するホトレジ

とした場合約8 Ω/\square となり、ゲート抵抗の低減が実現され、高周波特性が大幅に改善された。また第1層、第2層の膜厚は概ね任意であり、2層全体で打込むイオンのマスクとなり、かつ低抵抗となり、かつ界面の耐熱性がじゅうぶんならばよい。例えば、第1層を5nm、第2層を300nmとしても良い。この場合、いくぶん界面の耐熱性は劣るが、ゲートの抵抗が小さくなる為、素子の高周波特性はさらに向上した。以上第2層の材料として W を使用した場合について説明したが、第2層の材料は、高温熱処理の際の LaB_6 との反応が無視し得るならば何んでも良く、例えば硅化タングステン(WSi_2)、窒化タングステン(WN)、タングステンアルミニウム($W-Al$)、モリブデン(Mo)、チタン(Ti)アルミニウム(Al)、でもよい。

また、本実施例では、ゲート電極をマスクに使用するFETの製造方法について説明したが、このほかのFETの製造方法においても本実施例に示したゲート電極を使用することにより、障壁が

高く、高耐熱性で、かつゲート抵抗が低いことによる同様な効果が得られる。

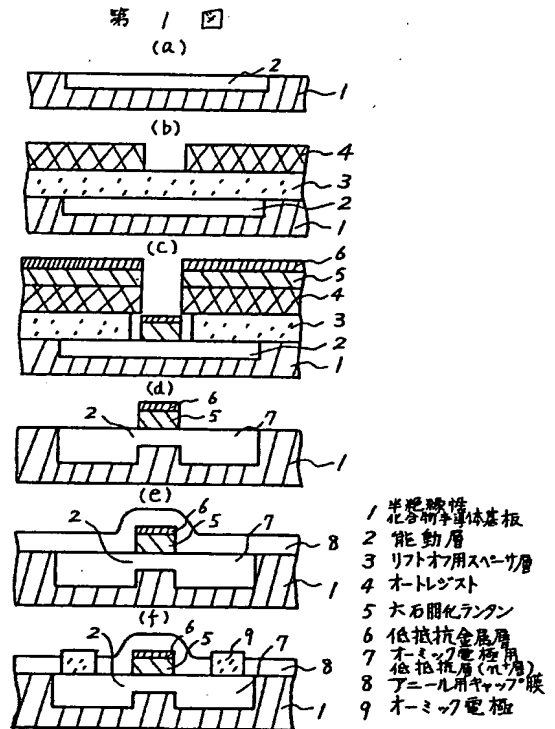
〔発明の効果〕

本発明によるゲート電極構造を有する半導体装置は、化合物半導体中にイオン注入により形成した導電層及び低抵抗層の活性化の熱処理に充分耐え、また高いショットキー障壁を有するのみならず、ゲート抵抗が低くなり、このゲート電極構造を有するM E S F E Tによつて製造した回路の高速化を可能にする。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明するのに用いた、化合物半導体M E S F E Tの製造方法を示す断面図である。また第2図は六方碲化ランタンの電気抵抗率の熱処理温度依存性を示す図である。

代理人 弁理士 小川勝男



第 2 図

